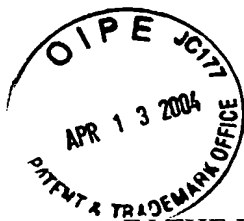


<b>TRANSMITTAL FORM</b> (to be used for all correspondence after initial filing)		Application Number	10/779,650
		Filing Date	02/18/2004
		First Named Inventor	Kiotake TOGO
		Group Art Unit	
		Examiner Name	
Total Number of Pages in This Submission		Attorney Docket Number	030712-25

ENCLOSURES (check all that apply)		
<input type="checkbox"/> Fee Transmittal Form <input type="checkbox"/> Fee Attached <input type="checkbox"/> Amendment / Reply <input type="checkbox"/> After Final <input type="checkbox"/> Affidavits/declaration(s) <input type="checkbox"/> Extension of Time Request <input type="checkbox"/> Express Abandonment Request <input type="checkbox"/> Information Disclosure Statement <input checked="" type="checkbox"/> Certified Copy of Priority Document(s) <input type="checkbox"/> Response to Missing Parts/Incomplete Application <input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53	<input type="checkbox"/> Assignment Papers (for an Application) <input type="checkbox"/> Drawing(s) <input type="checkbox"/> Declaration and Power of Attorney <input type="checkbox"/> Licensing-related Papers <input type="checkbox"/> Petition <input type="checkbox"/> Petition to Convert to a Provisional Application <input type="checkbox"/> Power of Attorney, Revocation Change of Correspondence Address <input type="checkbox"/> Terminal Disclaimer <input type="checkbox"/> Request for Refund <input type="checkbox"/> CD, Number of CD(s) _____	<input type="checkbox"/> After Allowance Communication to Group <input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences <input type="checkbox"/> Appeal Communication to Group (Appeal Notice, Brief, Reply Brief) <input type="checkbox"/> Proprietary Information <input type="checkbox"/> Status Letter <input type="checkbox"/> Application Data Sheet <input type="checkbox"/> Request for Corrected Filing Receipt with Enclosures <input type="checkbox"/> A self-addressed prepaid postcard for acknowledging receipt <input type="checkbox"/> Other Enclosure(s) (please identify below):
Remarks		<input checked="" type="checkbox"/> The Commissioner is hereby authorized to charge any additional fees required or credit any overpayments to Deposit Account No. 19-2380 for the above identified docket number.

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT	
Firm Or Individual name	Donald R. Studebaker, Reg. No. 32,815 Nixon Peabody LLP 401 9 <sup>th</sup> Street, N.W. Suite 900 Washington, D.C. 20004-2128
Signature	
Date	April 13, 2004

CERTIFICATE OF MAILING OR TRANSMISSION [37 CFR 1.8(a)]	
I hereby certify that this correspondence is being:	
<input type="checkbox"/> deposited with the United States Postal Service on the date shown below with sufficient postage as first class mail in an envelope addressed to: Mail Stop _____, Commissioner for Patents, P. O. Box 1450, Alexandria, VA 22313-1450	
<input type="checkbox"/> transmitted by facsimile on the date shown below to the United States Patent and Trademark Office at (703) _____	
Date	Signature
	Typed or printed name



Docket No.: 030712-25

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of )  
Kiotake TOGO )  
Serial No. 10/779,650 )  
Filed: 02/18/2004 )  
For: SEMICONDUCTOR INTEGRATED )  
CIRCUIT DEVICE ) April 13, 2004

TRANSMITTAL OF PRIORITY DOCUMENT AND CLAIM OF FOREIGN  
FILING DATE PURSUANT TO 35 U.S.C. 119

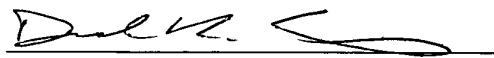
Assistant Commissioner for Patents  
Washington, D.C. 20231

Sir:

It is respectfully requested that this application be given the benefit of the foreign filing date under the provisions of 35 U.S.C. 119 of the following, a certified copy of which is submitted herewith:

<u>Application No.</u>	<u>Country</u>	<u>Filed</u>
2003-382212	Japan	November 12, 2003

Respectfully submitted,

  
Donald R. Studebaker  
Reg. No. 32,815

Nixon Peabody LLP  
401 9<sup>th</sup> Street N.W.  
Suite 900  
Washington, D. C. 20004  
(202) 585-8000

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年 1 1 月 1 2 日  
Date of Application:

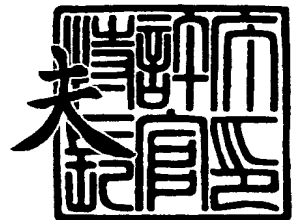
出 願 番 号                      特 願 2 0 0 3 - 3 8 2 2 1 2  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 3 - 3 8 2 2 1 2 ]

出      願      人                      沖電気工業株式会社  
Applicant(s):

2 0 0 4 年    1 月 2 8 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願  
【整理番号】 TA000180  
【提出日】 平成15年11月12日  
【あて先】 特許庁長官殿  
【国際特許分類】 H01L 27/04  
G06F 17/50

【発明者】  
【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内  
【氏名】 藤後 清丈

【特許出願人】  
【識別番号】 000000295  
【氏名又は名称】 沖電気工業株式会社

【代理人】  
【識別番号】 100079049  
【弁理士】  
【氏名又は名称】 中島 淳  
【電話番号】 03-3357-5171

【選任した代理人】  
【識別番号】 100084995  
【弁理士】  
【氏名又は名称】 加藤 和詳  
【電話番号】 03-3357-5171

【選任した代理人】  
【識別番号】 100085279  
【弁理士】  
【氏名又は名称】 西元 勝一  
【電話番号】 03-3357-5171

【選任した代理人】  
【識別番号】 100099025  
【弁理士】  
【氏名又は名称】 福田 浩志  
【電話番号】 03-3357-5171

【手数料の表示】  
【予納台帳番号】 006839  
【納付金額】 21,000円

【提出物件の目録】  
【物件名】 特許請求の範囲 1  
【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1  
【包括委任状番号】 9714945

**【書類名】 特許請求の範囲****【請求項 1】**

外部メモリに対する入出力の制御を行う第 1 のメモリコントローラを含むハードマクロと、

前記ハードマクロ外部に設けられ、前記外部メモリに対する入出力の制御を行う第 2 のメモリコントローラと、

外部との間の電気的なインタフェースとして前記ハードマクロ外部に設けられた I O パッド部と、

前記第 1 のメモリコントローラと前記 I O パッド部とを接続する第 1 の配線と、

前記第 2 のメモリコントローラと前記 I O パッド部とを接続し、かつその長さが前記第 1 の配線の長さより短い第 2 の配線と、

を含む半導体集積回路装置。

**【請求項 2】**

前記ハードマクロは、C P U を更に含む請求項 1 記載の半導体集積回路装置。

**【請求項 3】**

外部から入力される、前記第 1 のメモリコントローラ及び前記第 2 のメモリコントローラの状態を有効及び無効のいずれか一方の状態に排他的に切換えるための信号を、前記第 1 のメモリコントローラ及び前記第 2 のメモリコントローラに伝送する第 3 の配線を更に設けた請求項 1 または請求項 2 記載の半導体集積回路装置。

**【請求項 4】**

前記ハードマクロ内部に設けられ、前記第 1 のメモリコントローラ及び前記第 2 のメモリコントローラの状態を有効及び無効のいずれか一方の状態に排他的に切換えるためのコードを格納したレジスタと、

前記レジスタに格納されたコードを、前記第 1 のメモリコントローラ及び前記第 2 のメモリコントローラに伝送する第 3 の配線と、

を更に含む請求項 1 または請求項 2 記載の半導体集積回路装置。

**【請求項 5】**

前記第 1 のメモリコントローラ及び前記第 2 のメモリコントローラの設定を切換えるための信号を前記第 1 のメモリコントローラ及び前記第 2 のメモリコントローラに伝送する第 3 の配線を更に設けた請求項 1 または請求項 2 記載の半導体集積回路装置。

**【請求項 6】**

前記ハードマクロ内部に設けられ、前記第 1 のメモリコントローラ及び前記第 2 のメモリコントローラの設定を切換えるためのコードを格納したレジスタと、

前記レジスタに格納されたコードを、前記第 1 のメモリコントローラ及び前記第 2 のメモリコントローラに伝送する第 3 の配線と、

を更に含む請求項 1 または請求項 2 記載の半導体集積回路装置。

**【請求項 7】**

前記外部メモリは複数存在し、前記設定は、該複数の外部メモリのうち制御対象とする外部メモリを定める設定である請求項 5 または請求項 6 記載の半導体集積回路装置。

**【請求項 8】**

前記設定は、前記制御対象として定められた外部メモリのアドレス空間に関する設定を更に含む請求項 7 記載の半導体集積回路装置。

【書類名】 明細書

【発明の名称】 半導体集積回路装置

【技術分野】

【0001】

本発明は、L S I 等の半導体集積回路装置に関し、特に、メモリコントローラを含むハードマクロが搭載された半導体集積回路装置に関するものである。

【背景技術】

【0002】

L S I 等の半導体集積回路装置は、通常複数の機能ブロックによって構成されている。これらの機能ブロックのうち、汎用性の高い機能ブロックは、様々なアプリケーションに用いることができるように機能ブロック単位でライブラリ化されるのが一般的である。このようにライブラリ化された機能ブロックはハードマクロと呼ばれている。ハードマクロは、大きさ（特に大規模なもの）や形（アスペクト比）により、L S I 上の配置が限定される。

【0003】

図6は、外部メモリを制御（リード・ライト）するメモリコントローラを含むハードマクロが設けられた従来のL S I の構成図である。

【0004】

図示されるように、L S I 100には、ハードマクロ120及びI Oパッド部130が設けられている。ハードマクロ120にはC P U 140及びメモリコントローラ150が配置されており、システムバス170により相互に接続されている。

【0005】

メモリコントローラ150とI Oパッド部130との間、及びI Oパッド部130と外部メモリ110との間には、コントロール・バスやアドレス・バス等の配線が設けられ、信号やデータが伝送される。具体的には、コントロール・バス160、180を介してメモリコントローラ150からメモリ110へ制御信号が伝送され、アドレス・バス162、182を介してメモリコントローラ150からメモリ110へアドレス情報が伝送される。また、出力データ・バス164及びデータ・バス184を介して、メモリコントローラ164からメモリ110へ出力データが伝送され、データ・バス184及び入力データ・バス166を介して、メモリ110からメモリコントローラ150へ入力データが伝送される。

【0006】

なお、従来の、ハードマクロを用いた半導体集積回路装置に関しては、様々な文献に開示されている（例えば、特許文献1参照。）。

【特許文献1】 特開 2 0 0 1 - 1 6 8 2 0 1 号公報（図3、段落0051～段落0056）

【発明の開示】

【発明が解決しようとする課題】

【0007】

従来のL S I の構成では、ハードマクロをI Oパッド部から離れた位置に配置すると、メモリコントローラとI Oパッド部との間の配線が長くなるため、信号遅延が増大し、メモリコントローラと外部メモリとの間のタイミング設計が困難（クリティカル）になることがある。従って、外部メモリとの間のタイミングが厳しい場合にはハードマクロをI Oパッド部の近くに配置することが好ましいが、上述したように、ハードマクロは大きさや形によりL S I 上での配置が限定されるため、I Oパッド部から離れたところに配置せざるをえない場合がある。このような場合には、外部メモリとのタイミング設計が困難になってしまう。

【0008】

また、上記特開 2 0 0 1 - 1 6 8 2 0 1 号公報においても、外部メモリとのタイミング設計を容易にする技術は一切開示されていない。

**【0009】**

本発明は、上述した課題を解決するために提案されたものであり、外部メモリとのタイミング設計が容易な半導体集積回路装置を提供することを目的としている。

**【課題を解決するための手段】****【0010】**

上記目的を達成するために、本発明に係る半導体集積回路装置は、外部メモリに対する入出力の制御を行う第1のメモリコントローラを含むハードマクロと、前記ハードマクロ外部に設けられ、前記外部メモリに対する入出力の制御を行う第2のメモリコントローラと、外部との間の電気的なインタフェースとして前記ハードマクロ外部に設けられたIOPッド部と、前記第1のメモリコントローラと前記IOPッド部とを接続する第1の配線と、前記第2のメモリコントローラと前記IOPッド部とを接続し、かつその長さが前記第1の配線の長さより短い第2の配線と、を含んで構成されている。

**【0011】**

すなわち、第1のメモリコントローラを含むハードマクロの外部に、第2のメモリコントローラを設ける。第2のメモリコントローラとIOPッド部とを接続する第2の配線の長さを、第1のメモリコントローラとIOPッド部とを接続する第1の配線の長さより短くする。

**【0012】**

これにより、IOPッド部との間の配線の長さが比較的長く、外部メモリとのタイミング設計が比較的困難な第1のメモリコントローラの代わりに、IOPッド部との間の配線の長さが比較的短い第2のメモリコントローラが外部のメモリを制御することができ、外部メモリとのタイミング設計を容易にすることができる。

**【0013】**

上記半導体集積回路装置において、前記ハードマクロは、CPUを更に含むことができる。すなわち、ハードマクロは、半導体集積回路装置全体を制御する構成とすることができる。

**【0014】**

上記半導体集積回路装置に、前記第1のメモリコントローラ及び前記第2のメモリコントローラの状態を有効及び無効のいずれか一方の状態に排他的に切り換えるための信号を前記第1のメモリコントローラ及び前記第2のメモリコントローラに伝送する第3の配線を更に設けることができる。

**【0015】**

これにより、第1のメモリコントローラと第2のメモリコントローラの状態を容易に、有効及び無効のいずれか一方の状態に排他的に切り換えることができる。

**【0016】**

上記半導体集積回路装置に、前記ハードマクロ内部に設けられ、前記第1のメモリコントローラ及び前記第2のメモリコントローラの状態を有効及び無効のいずれか一方の状態に排他的に切り換えるためのコードを格納したレジスタと、前記レジスタに格納されたコードを、前記第1のメモリコントローラ及び前記第2のメモリコントローラに伝送する第3の配線と、を更に含んで構成することができる。

**【0017】**

これにより、第1のメモリコントローラと第2のメモリコントローラの状態を容易に、有効及び無効のいずれか一方の状態に排他的に切り換えることができると共に、レジスタを設けることにより、外部から入力される、第1のメモリコントローラと第2のメモリコントローラの状態を切り換えるための信号が不要となる。

**【0018】**

上記半導体集積回路装置に、前記第1のメモリコントローラ及び前記第2のメモリコントローラの設定を切り換えるための信号を前記第1のメモリコントローラ及び前記第2のメモリコントローラに伝送する第3の配線を更に設けることもできる。

**【0019】**

なお、前記外部メモリは複数存在し、前記設定は、該複数の外部メモリのうち制御対象とする外部メモリを定める設定とすることができる。

【0020】

更にまた、前記設定は、前記制御対象として定められた外部メモリのアドレス空間に関する設定を更に含むこともできる。

【0021】

これにより、第1のメモリコントローラと第2のメモリコントローラの設定を容易に切換えることができると共に、複数種類の外部メモリを制御することができる。なお、該設定には、第1及び第2のメモリコントローラの制御対象となるメモリの種類等の設定を含むことができる。これにより、各メモリコントローラに好適なメモリを制御対象とすることができる。

【0022】

上記半導体集積回路装置に、前記ハードマクロ内部に設けられ、前記第1のメモリコントローラ及び前記第2のメモリコントローラの設定を切換えるためのコードを格納したレジスタと、前記レジスタに格納されたコードを、前記第1のメモリコントローラ及び前記第2のメモリコントローラに伝送する第3の配線と、を更に含んで構成することができる。

【0023】

これにより、第1のメモリコントローラと第2のメモリコントローラの設定を容易に切換えることができると共に、複数種類の外部メモリを制御することができる。更に、レジスタを設けることにより、外部から入力される、第1のメモリコントローラと第2のメモリコントローラの設定を切換えるための信号が不要となる。

【発明の効果】

【0024】

以上説明したように本発明によれば、第1のメモリコントローラを含むハードマクロ外部に第2のメモリコントローラを設け、第2のメモリコントローラとI/Oパッド部との間の配線を、第1のメモリコントローラとI/Oパッド部との間の配線より短くしたため、外部メモリとの間の信号遅延を減少させることができ、外部メモリとのタイミング設計が容易となる、という効果を奏する。

【発明を実施するための最良の形態】

【0025】

以下、本発明の好ましい実施の形態について図面を参照しながら詳細に説明する。

【0026】

〔第1の実施の形態〕

図1は、本実施の形態に係る半導体集積回路装置10の概略構成図である。

【0027】

図示されるように、半導体集積回路装置10にはハードマクロ12が設けられている。ハードマクロ12にはCPU14及び第1のメモリコントローラ15が設けられ、CPU14及び第1のメモリコントローラ15は、システムバス17により相互に接続されている。第1のメモリコントローラ15は、半導体集積回路装置10外部のメモリ11に対する入出力の制御を行う。

【0028】

半導体集積回路装置10には更に、第2のメモリコントローラ16、I/Oパッド部13、及びOR回路部90が設けられている。第2のメモリコントローラ16は、第1のメモリコントローラ15と同様の機能を有し、ハードマクロ12とI/Oパッド部13との間に配置され、第1のメモリコントローラ15と同様にシステムバス17を介してCPU14と相互に接続されている。I/Oパッド部13は、半導体集積回路装置10の外部との間の電気的なインタフェースとして設けられている。I/Oパッド部13の接続端子により、第1のメモリコントローラ15及び第2のメモリコントローラ16の各々とメモリ11とが接続される。



**【0029】**

I Oパッド部13とメモリ11との間には、3本のバス、コントロール・バス30、アドレス・バス31、及びデータ・バス32が配設されている。

**【0030】**

第1のメモリコントローラ15とI Oパッド部13との間には、第1の配線としての4本のバス（コントロール・バス23、アドレス・バス24、出力データ・バス25、及び入力データ・バス26）が配設されている。なお、入力データ・バス26は、配線途中で2本に分岐し、一方は第1のメモリコントローラ15に、他方は、第2のメモリコントローラ16に接続されている。

**【0031】**

第2のメモリコントローラ16とI Oパッド部13との間には、第2の配線としての4本のバス（コントロール・バス20、アドレス・バス21、出力データ・バス22、及び第1のメモリコントローラ15と共用の入力データ・バス26）が配設されている。図から明らかなように、第2の配線の長さは第1の配線の長さに比べて短い。

**【0032】**

なお、コントロール・バス20、23、30は制御信号を伝送し、アドレス・バス21、24、31はアドレス情報を伝送する。出力データ・バス22、25は出力データを伝送し、入力データ・バス26は入力データを伝送する。データ・バス32は、入力データ及び出力データを伝送する。

**【0033】**

OR回路部90は、I Oパッド部13に連設されている。OR回路部90は、3つのOR回路（図示省略）から構成され、各OR回路に設けられた2つの入力端子の一方は第1の配線のコントロール・バス20、アドレス・バス21、出力データ・バス22に接続され、他方は第2の配線のコントロール・バス23、アドレス・バス24、出力データ・バス25に接続されている。各OR回路は、2つの入力端子のいずれか一方に信号やデータが入力された場合に、該入力された信号或いはデータをOR回路の出力端子からI Oパッド部13に対して出力する。

**【0034】**

更に、半導体集積回路装置10には、第1のメモリコントローラ15及び第2のメモリコントローラ16の状態を有効及び無効のいずれか一方の状態に排他的に切換えるための切換信号を伝送する配線40が設けられている。配線40の入力端はI Oパッド部13の接続端子に接続され、外部から切換信号を入力する。更に配線40は配線途中で2本に分岐（配線40a、及び40b）し、一方の配線40aの出力端は第1のメモリコントローラ15に接続され、他方の配線40bの出力端は第2のメモリコントローラ16に接続される。なお、配線40aにはインバータ回路42が配設され、該インバータ回路42により第1のメモリコントローラ15には切換信号が常に反転された状態で伝送される。これにより、切換信号1つで第1のメモリコントローラ15及び第2のメモリコントローラ16の状態を排他的に切換えることができる。

**【0035】**

ここで、本半導体集積回路装置10の動作について説明する。配線40に入力された切換信号がHレベルであった場合には、第1のメモリコントローラ15には、インバータ回路42により切換信号がLレベルに反転されて伝送され、第2のメモリコントローラ16には、切換信号Hレベルがそのまま伝送される。

**【0036】**

Lレベルの切換信号を入力した第1のメモリコントローラ15は無効になり、Hレベルの切換信号を入力した第2のメモリコントローラ16は有効になる。これにより、第1のメモリコントローラ15に代わって、第2のメモリコントローラ16がメモリ11を制御する。

**【0037】**

なお、配線40に入力される切換信号をLレベルとして、2つのメモリコントローラの

有効／無効の状態を上記と逆の状態に切り換えることも可能である。

#### 【0038】

以上説明したように、本実施の形態に係る半導体集積回路装置10では、第1のメモリコントローラ15を含むハードマクロ12の外部に第2のメモリコントローラ16を設け、第2のメモリコントローラ16とIOPッド部13との間の配線（第2の配線）の長さを、第1のメモリコントローラ15とIOPッド部13との間の配線（第1の配線）の長さより短くすると共に、第1のメモリコントローラ15及び第2のメモリコントローラ16の状態を有効及び無効のいずれか一方の状態に排他的に切換えるための切換信号を伝送する配線40を設けたため、IOPッド部13との間の配線の長さが比較的長く、外部のメモリ11とのタイミング設計が比較的困難な第1のメモリコントローラ15の代わりに、IOPッド部13との間の配線の長さが比較的短い第2のメモリコントローラ16が外部のメモリ11を制御することができ、外部のメモリ11とのタイミング設計を容易にすることができる。

#### 【0039】

##### 〔第2の実施の形態〕

第1の実施の形態では、半導体集積回路装置10に、切換信号を伝送する配線40を設け、外部から入力された切換信号により第1のメモリコントローラ15及び第2のメモリコントローラ16の状態を有効及び無効のいずれか一方の状態に排他的に切換える例について説明したが、本実施の形態では、配線40に代えて、ハードマクロ12内部にレジスタを設け、レジスタの値によって第1のメモリコントローラ15及び第2のメモリコントローラ16の状態を切換える例について説明する。なお、本実施の形態において、第1の実施の形態と同様の構成については同一の符号を付して説明を省略する。

#### 【0040】

図2は、本実施の形態に係る半導体集積回路装置10aの概略構成図である。第1の実施の形態と同様に、第1のメモリコントローラ15を含むハードマクロ12の外部に第2のメモリコントローラ16を設け、第2のメモリコントローラ16とIOPッド部13との間の配線の長さが、第1のメモリコントローラ15とIOPッド部13との間の配線の長さより短くなるように構成されている。

#### 【0041】

本実施の形態では、第1の実施の形態の配線40に代えて、ハードマクロ12内にレジスタ50を設ける。該レジスタ50には第1のメモリコントローラ15及び第2のメモリコントローラ16の状態を有効及び無効のいずれか一方の状態に排他的に切換えるためのコードが格納される。更にレジスタ50と第1のメモリコントローラ15及び第2のメモリコントローラ16との間には、このコードを伝送するための配線52が設けられている。

#### 【0042】

配線52の入力端はレジスタ50に接続され、レジスタ50からコードを入力する。配線52は、配線途中で2本に分岐（配線52a、52b）し、一方の配線52aの出力端は第1のメモリコントローラ15に接続され、他方の配線52bの出力端は第2のメモリコントローラに接続される。なお、配線52aにはインバータ回路54が配設され、該インバータ回路54により第1のメモリコントローラ15にはレジスタ50のコードが常に反転された状態で伝送される。これにより、レジスタ50に格納されたコード1つで第1のメモリコントローラ15及び第2のメモリコントローラ16の状態を排他的に切換えることができる。

#### 【0043】

ここで、本半導体集積回路装置10aの動作について説明する。レジスタ50のコードをHレベルとした場合には、第1のメモリコントローラ15には、インバータ回路54によりレジスタ50のコードがLレベルに反転されて伝送され、第2のメモリコントローラ16には、レジスタ50のコード（Hレベル）がそのまま伝送される。

#### 【0044】

Lレベルのコードを入力した第1のメモリコントローラ15は無効になり、Hレベルのコードを入力した第2のメモリコントローラ16は有効になる。これにより、第1のメモリコントローラ15に代わって、第2のメモリコントローラ16がメモリ11を制御する。

#### 【0045】

なお、レジスタ50のコードをLレベルとして、2つのメモリコントローラの有効／無効の状態を上記と逆の状態に切り換えることも可能である。

#### 【0046】

以上説明したように、本実施の形態に係る半導体集積回路装置10aでは、第1のメモリコントローラ15を含むハードマクロ12の外部に第2のメモリコントローラ16を設け、第2のメモリコントローラ16とIOPッド部13との間の配線（第2の配線）の長さを、第1のメモリコントローラ15とIOPッド部13との間の配線（第1の配線）の長さより短くすると共に、第1のメモリコントローラ15及び第2のメモリコントローラ16の状態を有効及び無効のいずれか一方の状態に排他的に切換えるためのコードを格納するレジスタ50と、レジスタ50に格納されたコードを伝送する配線52を設けたため、IOPッド部13との間の配線の長さが比較的長く、外部のメモリ11とのタイミング設計が比較的困難な第1のメモリコントローラ15の代わりに、IOPッド部13との間の配線の長さが比較的短い第2のメモリコントローラ16が外部のメモリ11を制御することができ、外部のメモリ11とのタイミング設計を容易にすることができる。

#### 【0047】

更に、第1の実施の形態では半導体集積回路外部からの切換信号が必要であったが、本実施の形態では、これが不要となる。

#### 【0048】

##### 〔第3の実施の形態〕

上述した第1及び第2の実施の形態では、第1のメモリコントローラ15及び第2のメモリコントローラ16の状態を有効及び無効のいずれか一方の状態に排他的に切換える例について説明したが、本実施の形態では、第1のメモリコントローラ15及び第2のメモリコントローラ16の設定を切換えることにより複数種類のメモリを制御する例について説明する。なお、本実施の形態において、第1の実施の形態と同様の構成については同一の符号を付して説明を省略する。

#### 【0049】

図3は、本実施の形態に係る半導体集積回路装置10bの概略構成図である。図示されるように、第1のメモリコントローラ15を含むハードマクロ12の外部に第2のメモリコントローラ16を設け、第2のメモリコントローラ16とIOPッド部13との間の配線の長さを、第1のメモリコントローラ15とIOPッド部13との間の配線の長さより短くした点では第1の実施の形態と同様である。以下、第1の実施の形態と異なる部分について説明する。

#### 【0050】

本実施の形態では、第1のメモリコントローラ15とIOPッド部13との間のコントロール・バス20、及び第2のメモリコントローラ16とIOPッド部13との間のコントロール・バス23の出力端は、OR回路部90を介さずに直接IOPッド部13に接続され、2つのメモリコントローラが異なるメモリを独立して制御できるような構成となっている。

#### 【0051】

本実施の形態では、第1のメモリコントローラ15及び第2のメモリコントローラ16を用いて半導体集積回路装置10b外部の2種類のメモリ（第1メモリ72、第2メモリ74）を制御する。ここで、第1メモリ72は高速メモリであり、第2メモリ74は低速メモリである。第1メモリ72及び第2メモリ74と半導体集積回路装置10bのIOPッド部13との間の配線において、アドレス・バス31及びデータ・バス32は第1メモリ72と第2メモリ74とで共用され、配線途中で2本に分岐して第1メモリ72及び第

2メモリ74のそれぞれに接続されている。

#### 【0052】

また、2本のコントロール・バス30、33は、第1メモリ72及び第2メモリ74に対応して配設されており、第1メモリ72側のコントロール・バス30は、IOPッド部13を介して第2のメモリコントローラ16側のコントロール・バス23に接続され、第2メモリ74側のコントロール・バス33は、IOPッド部13を介して第1のメモリコントローラ15側のコントロール・バス20に接続されている。

#### 【0053】

更に、半導体集積回路装置10bには、第1のメモリコントローラ15及び第2のメモリコントローラ16の設定を切換えるための切換信号を送送する2本の配線60、62が設けられている。この2本の配線60、62の各入力端はIOPッド部13の接続端子に接続され、外部から切換信号を入力する。更に各配線60、62は配線途中で2本に分岐（配線60aと60b、及び62aと62b）し、配線60a、62aの出力端は第1のメモリコントローラ15に接続され、配線60b、62bの出力端は第2のメモリコントローラ16に接続される。なお、配線60a、62aには各々インバータ回路64、66が配設され、2つのインバータ回路64、66により第1のメモリコントローラ15には切換信号が常に反転された状態で伝送される。これにより第1のメモリコントローラ15及び第2のメモリコントローラ16の設定を排他的に切換えることができる。

#### 【0054】

ここで、図4を参照しながら、本半導体集積回路装置10bの第1のメモリコントローラ15の設定を切換える動作について説明する。

図4（A）は、切換信号とアクセスできるアドレス空間との対応関係を示した図であり、Disable（アクセス不可能）Low、High、及びFull（Low及びHigh）の4区分が定義される。図4（B）は、第1のメモリコントローラ15を設定するための2つのコントロールレジスタ（コントロールレジスタA及びコントロールレジスタB）における設定値の具体例であり、これらコントロールレジスタの値によって制御対象のメモリ（高速メモリ、中速メモリ、及び低速メモリ、のいずれか）を設定できる。ここでは、アクセス可能なアドレス空間がLowまたはFullの場合にはコントロールレジスタAにより第1のメモリコントローラ15を設定し、アクセス可能なアドレス空間がHighの場合にはコントロールレジスタBにより第1のメモリコントローラ15を設定する。本実施の形態では、コントロールレジスタAには「1（中速メモリ）」が、コントロールレジスタBには「0（低速メモリ）」が制御対象のメモリとして設定されるものとする。なお、第1のメモリコントローラ15を設定するための上記コントロールレジスタは、第1メモリコントローラ15に設けられている。

#### 【0055】

一例として、配線60に入力された切換信号がLレベルで、配線62に入力された切換信号がHレベルであった場合を例に挙げて説明する。この場合には、第1のメモリコントローラ15には、配線60aのインバータ回路64により切換信号がHレベルに反転されて伝送され、配線62aのインバータ回路66により切換信号がLレベルに反転されて伝送される。

#### 【0056】

このように、配線60a、配線62aにより伝送された信号のレベルがH（1）、L（0）である場合には、図4（A）及び図4（B）から明らかなように、アクセスできるアドレス空間は、Highであり、制御対象のメモリを設定するコントロールレジスタは、コントロールレジスタBである。ここでは、コントロールレジスタBの設定値は「0」であるため、第1のメモリコントローラ15の制御対象のメモリを低速メモリ（ここでは第2メモリ74）に設定することができる。

#### 【0057】

同様に第2のメモリコントローラ16も配線60b、62bから出力される信号のレベルにより（本実施の形態ではL、H）設定を切換えることができ、例えばアクセスできる

アドレス空間をLowとし、制御対象のメモリを高速メモリ（第1メモリ72）とすることができる。これにより、配線の長さの短い第2のメモリコントローラ16で、タイミング設計の困難な比較的高速なメモリを制御でき、タイミング設計が容易となる。なお、第1のメモリコントローラ15と同様に、第2のメモリコントローラ16を設定するためのコントロールレジスタは、第2のメモリコントローラ16に設けられている。

#### 【0058】

なお、入力された信号のレベルがL（0）、L（0）の場合には、アクセス可能なアドレス空間はDisableであるため、無効（アクセス不可能）となる。このとき、他方のメモリコントローラに入力される信号のレベルはH（1）、H（1）であるため、アクセス可能なアドレス空間はFullとなり、これに対応したコントロールレジスタに設定されたメモリの制御が可能となる。

#### 【0059】

以上説明したように、本実施の形態に係る半導体集積回路装置10bでは、第1のメモリコントローラ15を含むハードマクロ12の外部に第2のメモリコントローラ16を設け、第2のメモリコントローラ16とI/Oパッド部13との間の配線（第2の配線）の長さを、第1のメモリコントローラ15とI/Oパッド部13との間の配線（第1の配線）の長さより短くすると共に、第1のメモリコントローラ15及び第2のメモリコントローラ16の設定を切り換えるための切り換え信号を送信する配線を設けたため、第1の実施の形態と同様に、I/Oパッド部13との間の配線の長さが比較的長く、外部のメモリとのタイミング設計が比較的困難な第1のメモリコントローラ15の代わりに、I/Oパッド部13との間の配線の長さが比較的短い第2のメモリコントローラ16が外部の高速なメモリを制御することができ、外部のメモリとのタイミング設計を容易にすることができる。

#### 【0060】

更に、第1の実施の形態では、制御可能なメモリは一種類のみであったが、本実施の形態では、タイミング設計の困難な第1のメモリコントローラ15を同時に用いて別の種類のメモリ（例えば低速または中速のメモリ）を制御することができる。

#### 【0061】

なお、本実施の形態では、コントロールレジスタA及びBの設定値がそれぞれ中速メモリ、低速メモリである例について説明したが、これに限定されず、例えば、いずれか一方の設定値を高速メモリとすることもできる。

#### 【0062】

##### 〔第4の実施の形態〕

第3の実施の形態では、半導体集積回路装置10bに、切り換え信号を送信する配線60、62を設け、外部から入力された切り換え信号により第1のメモリコントローラ15及び第2のメモリコントローラ16の設定を切り換える例について説明したが、本実施の形態では、配線60、62に代えて、ハードマクロ12内部にレジスタを設け、レジスタの値によって第1のメモリコントローラ15及び第2のメモリコントローラ16の設定を切り換える例について説明する。なお、本実施の形態において、第3の実施の形態と同様の構成については同一の符号を付して説明を省略する。

#### 【0063】

図5は、本実施の形態に係る半導体集積回路装置10cの概略構成図である。図示されるように、第3の実施の形態の2本の配線に代えて、ハードマクロ12内に2つのレジスタ80、82を設ける。レジスタ80、82には、第1のメモリコントローラ15及び第2のメモリコントローラ16の設定を切り換えるためのコードが格納される。更にレジスタ80、82と第1のメモリコントローラ15及び第2のメモリコントローラ16との間には、レジスタ80、82に格納されたコードを送信するための配線84、86が設けられている。

#### 【0064】

配線84、86の入力端はレジスタ80、82に接続され、レジスタ80、82からコードを入力する。配線84、86は、配線途中で各々2本に分岐（配線84aと84b、

及び 86 a、86 b) し、配線 84 a、86 a の出力端は第 1 のメモリコントローラ 15 に接続され、配線 84 b、86 b の出力端は第 2 のメモリコントローラ 16 に接続される。なお、配線 84 a 及び 86 a にはインバータ回路 88、89 が配設され、インバータ回路 88、89 によりレジスタ 80、82 のコードが常に反転された状態で伝送される。これにより、第 1 のメモリコントローラ 15 及び第 2 のメモリコントローラ 16 の状態を排他的に切換えることができる。

#### 【0065】

ここで、本半導体集積回路装置 10 c の第 1 のメモリコントローラ 15 の設定を切換える動作について説明する。レジスタ 80 のコードを L レベル、レジスタ 82 のコードを H レベルとした場合には、第 1 のメモリコントローラ 15 には、配線 84 a のインバータ回路 88 によりレジスタ 80 のコードが H レベルに反転されて伝送され、配線 86 a のインバータ回路 89 によりレジスタ 82 のコードが L レベルに反転されて伝送される。

#### 【0066】

このように、配線 84 a、86 a から出力された信号のレベルが H (1)、L (0) である場合には、第 3 の実施の形態と同様に設定が切換えられる。例えば、本実施の形態においても図 4 (A) 及び (B) に示されるように設定を変更し、アクセスできるアドレス空間を、High とし、制御対象のメモリを設定するコントロールレジスタを、コントロールレジスタ B とすることができる。このとき、コントロールレジスタ B の設定値を「0」とすれば、第 1 のメモリコントローラ 15 の制御対象のメモリを低速メモリ（ここでは第 2 メモリ 74）に設定することができる。

#### 【0067】

同様に第 2 のメモリコントローラ 16 も配線 84 b、86 b から出力される信号のレベルにより（本実施の形態では L、H）設定を切換えることができ、例えば制御対象のメモリを高速メモリ（第 1 メモリ 72）に設定することができる。これにより、配線の長さの短い第 2 のメモリコントローラ 16 で、タイミング設計の困難な比較的高速なメモリを制御でき、タイミング設計が容易となる。

#### 【0068】

以上説明したように、本実施の形態に係る半導体集積回路装置 10 c では、第 1 のメモリコントローラ 15 を含むハードマクロ 12 の外部に第 2 のメモリコントローラ 16 を設け、第 2 のメモリコントローラ 16 と I/O パッド部 13 との間の配線（第 2 の配線）の長さを、第 1 のメモリコントローラ 15 と I/O パッド部 13 との間の配線（第 1 の配線）の長さより短くすると共に、第 1 のメモリコントローラ 15 及び第 2 のメモリコントローラ 16 の設定を切換えるためのコードを格納するレジスタ 80、82 を設けたため、第 3 の実施の形態と同様に、I/O パッド部 13 との間の配線の長さが比較的長く、外部のメモリとのタイミング設計が比較的困難な第 1 のメモリコントローラ 15 の代わりに、I/O パッド部 13 との間の配線の長さが比較的短い第 2 のメモリコントローラ 16 が外部の高速なメモリを制御することができ、外部のメモリとのタイミング設計を容易にすることができる。

#### 【0069】

更に、第 1 の実施の形態では、制御可能なメモリは一種類のみであったが、本実施の形態においても、第 3 の実施の形態と同様に、タイミング設計の困難な第 1 のメモリコントローラ 15 を同時に用いて別の種類のメモリ（例えば低速または中速のメモリ）を制御することができる。

#### 【0070】

また、第 3 の実施の形態では半導体集積回路外部からの切換信号が必要であったが、本実施の形態では、これが不要となる。

#### 【0071】

以上、様々な実施の形態を説明したが、本発明は、上述した第 1 乃至第 4 の実施の実施の形態で例に挙げた半導体集積回路装置に限定されず、様々な半導体集積回路装置に適用できる。

## 【図面の簡単な説明】

## 【0 0 7 2】

【図 1】 第 1 の実施の形態に係る半導体集積回路装置の概略構成図である。

【図 2】 第 2 の実施の形態に係る半導体集積回路装置の概略構成図である。

【図 3】 第 3 の実施の形態に係る半導体集積回路装置の概略構成図である。

【図 4】 図 4 (A) は、切換信号とアクセスできるアドレス空間との対応関係を示した図であり、図 4 (B) は、第 1 のメモリコントローラを設定するための 2 つのコントロールレジスタ（コントロールレジスタ A 及びコントロールレジスタ B）における設定値の具体例を示した図である。

【図 5】 第 4 の実施の形態に係る半導体集積回路装置の概略構成図である。

【図 6】 従来の半導体集積回路装置の概略構成図である。

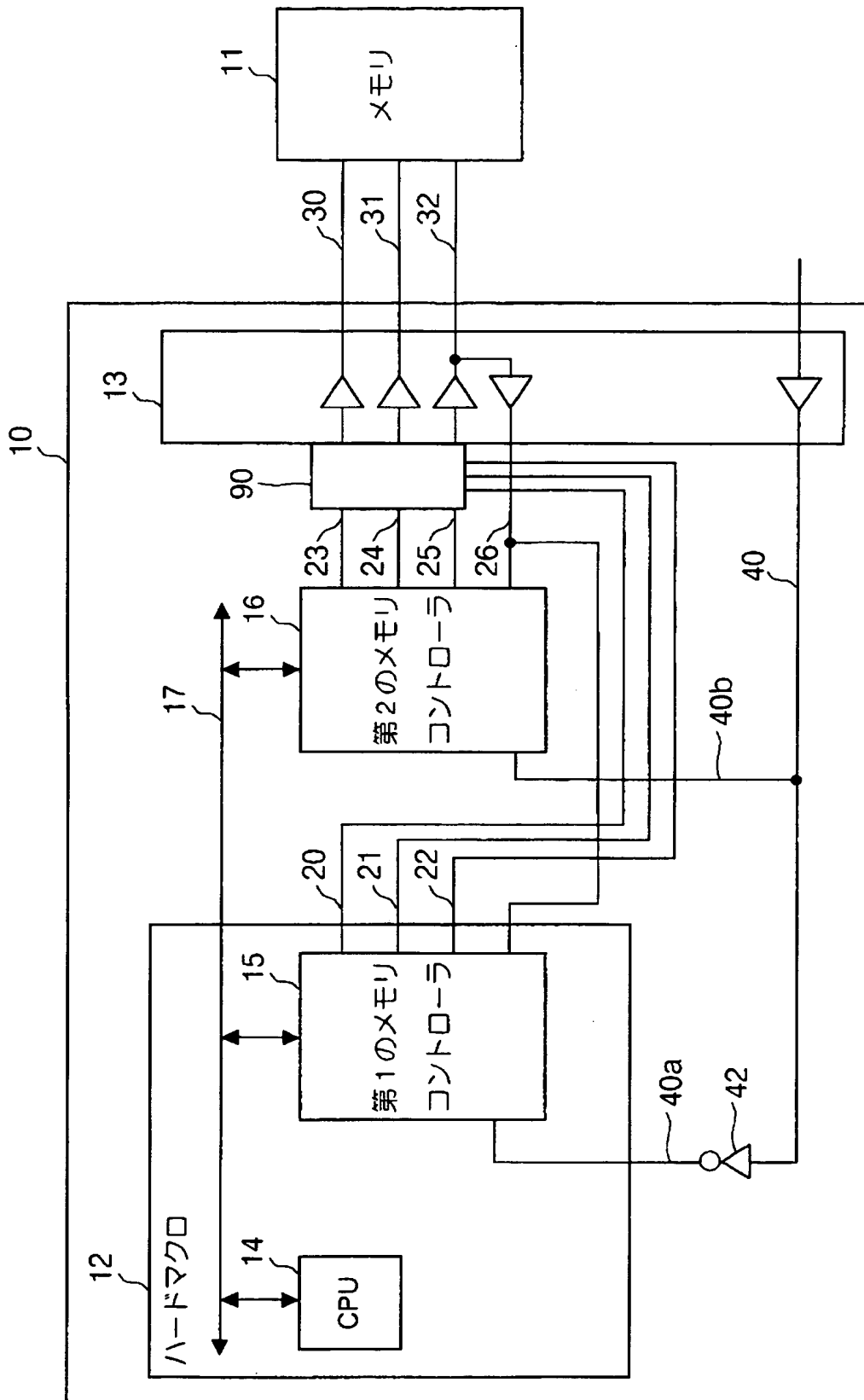
## 【符号の説明】

## 【0 0 7 3】

- 1 0、1 0 a、1 0 b、1 0 c 半導体集積回路装置
- 1 1 メモリ
- 1 2 ハードマクロ
- 1 3 I O パッド部
- 1 5 第 1 のメモリコントローラ
- 1 6 第 2 のメモリコントローラ
- 4 0 配線
- 5 0 レジスタ
- 5 2 配線
- 6 0、6 2 配線
- 7 2 第 1 メモリ
- 7 4 第 2 メモリ
- 8 0、8 2 レジスタ
- 8 4、8 6 配線

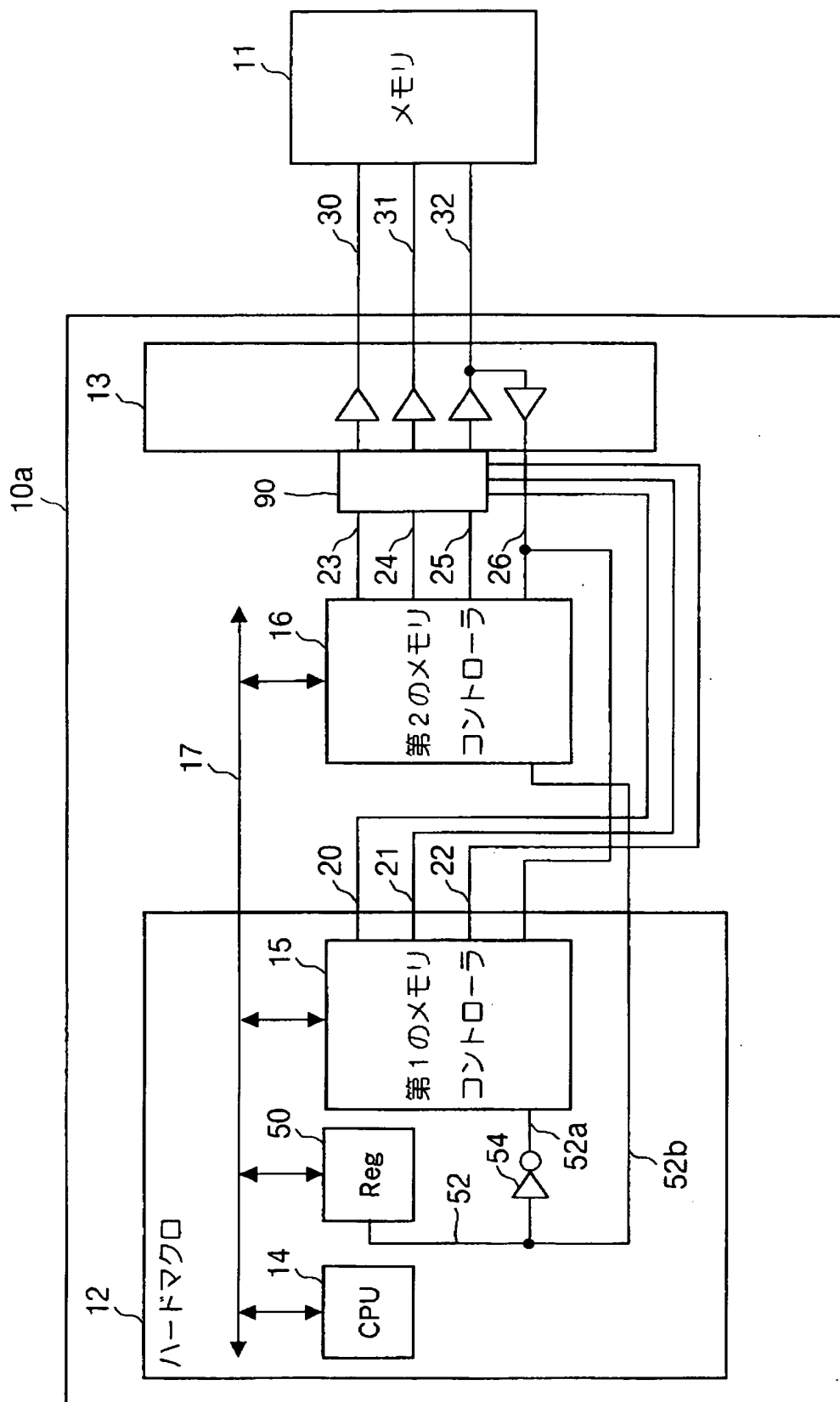
【書類名】 図面  
【図 1】

【図 1】

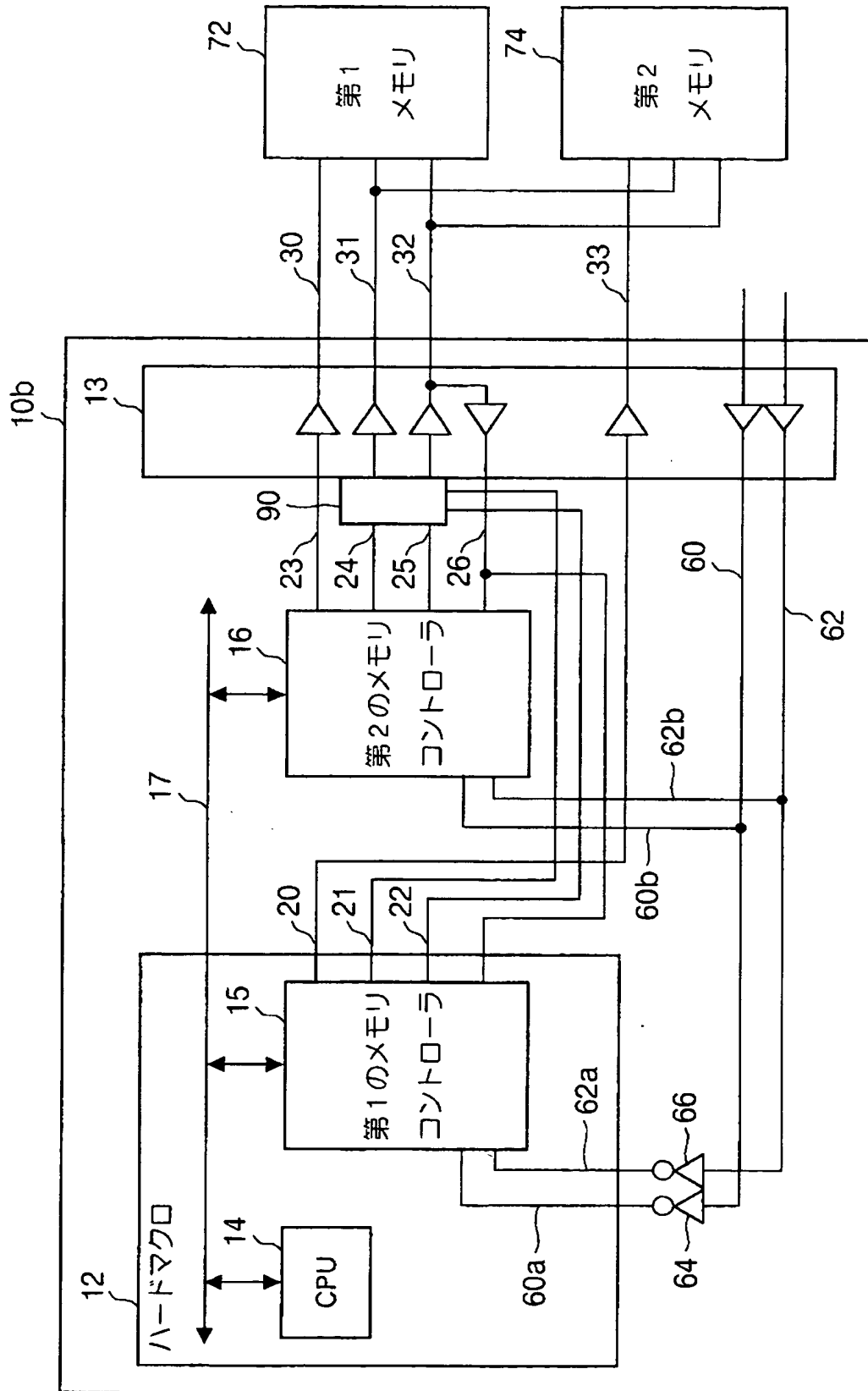




【図 2】



【図 3】



【図 4】

(B)

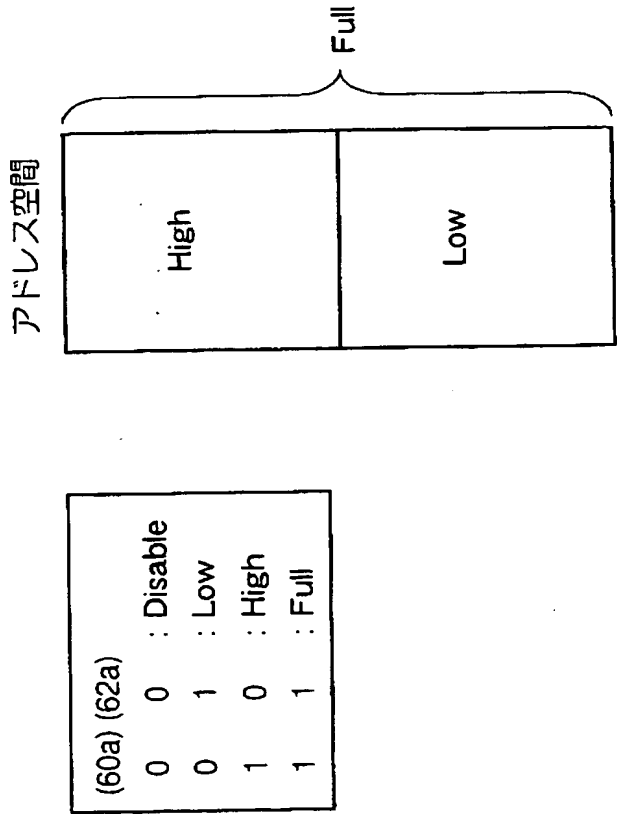
コントロールレジスタ A  
Low & Full 時有効

設定値	2	高速メモリ
	1	中速メモリ
	0	低速メモリ

コントロールレジスタ B  
High 時有効

設定値	2	高速メモリ
	1	中速メモリ
	0	低速メモリ

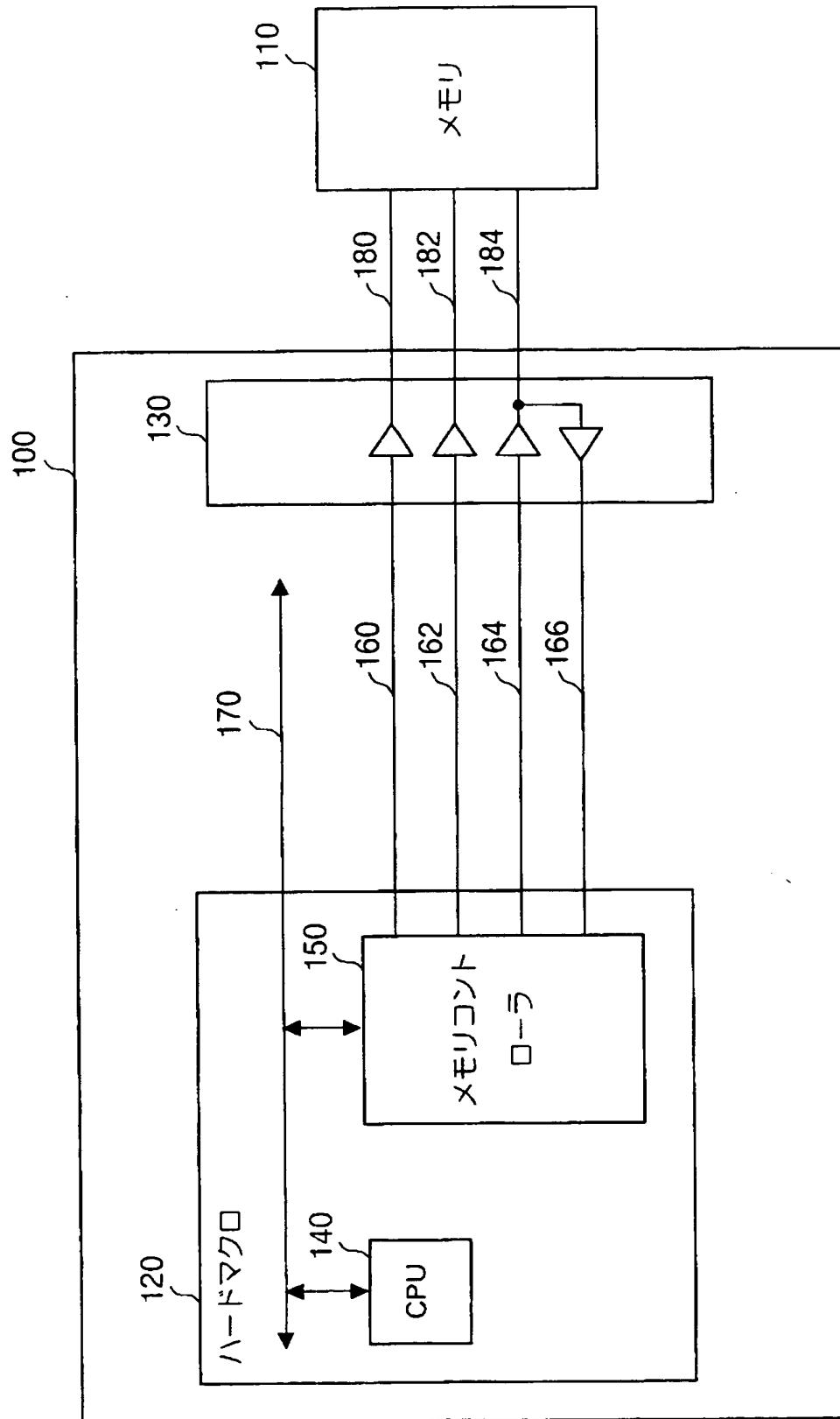
(A)



(60a) (62a)		
0	0	: Disable
0	1	: Low
1	0	: High
1	1	: Full



【図 6】



【書類名】 要約書

【要約】

【課題】 外部メモリとのタイミング設計が容易な半導体集積回路装置を提供する。

【解決手段】 半導体集積回路装置 1 0 において、第 1 のメモリコントローラ 1 5 を含むハードマクロ 1 2 の外部に第 2 のメモリコントローラ 1 6 を設け、第 2 のメモリコントローラ 1 6 と I O パッド部 1 3 との間の配線（第 2 の配線）の長さを、第 1 のメモリコントローラ 1 5 と I O パッド部 1 3 との間の配線（第 1 の配線）の長さより短くすると共に、第 1 のメモリコントローラ 1 5 及び第 2 のメモリコントローラ 1 6 の状態を有効及び無効のいずれか一方の状態に排他的に切換えるための切換信号を伝送する配線 4 0 を設ける。

【選択図】 図 1

特願 2 0 0 3 - 3 8 2 2 1 2

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 0 2 9 5 ]

1. 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

東京都港区虎ノ門 1 丁目 7 番 1 2 号

氏 名

沖電気工業株式会社